

®

体基板4の上面全面に厚さ0.5μm程度のN1膜23 タクト抵抗を低減することができる。

特開平12-012846

(1)

[0040] (図5 (c) に示す工程] コンタクトホール内にのみN 1膜2 3が残るようにバターニングしたのち、1000で程度による熱処理を施す。これにより、A 1膜2 2及びN 1 誤2 3におけるA 1やN 1がそれぞれP型領域6やnt型ソース領域5に拡散し、オーミッかが確とれる。

[0041] なお、NI膜23のパターニングは、熱処 理の前に行わなくても、熱処理によってセルフアラインで個間絶縁数11上のNI膜23は除去されるが、除去されたNI膜23が後工程のゴミとして問題になる可能性があるので、上述のように熱処理前にパターニングすることが好ましい。なお、この後、コンタクトホール内を含む半将体基板4の上面全面にAI膜24を蒸落したのち、このAI膜24をパターニングして、ソース電腦12やゲート電極回10と接続されるゲート電極(図示せず)を形成し、さらに半導体基板4の類面にドレイン電極13を形成して、図1に示す解型パワーMOSFE

[0042] このように、リフトオブ街によってA I 殿 2 2を除去するようにしているため、層間絶縁線11に 形成されたコンタクトホールの端部にA I 殿 2 2が残らないようにでき、A I 膜 2 2が層間絶線は11と反応することによるゲート塩価圏 8 とソース電衝10 との短絡等の発生を防止することができる。また、p型領域6との接続をA I 賦 2 2で行っているため、N I 賦 2 3 とオーバラップさせてもp型領域6 とのオーミック接触を確保することができる。これにより、p型領域6 とのコン

[0043]なお、上記実施形態においては、滑ゲート型のMOSFETを倒に挙げて、n・型ツース領域5と
p型領域6とのコンタクト抵抗の低減を図ったが、これに限らず層間総縁膜に形成されたコンタクトホールを介してり型半導体におけるコンタクト領域とオーミックコンタクトが必要な場合すべてに応用することができる。例えば、ブレーナ型のMOSFETにおいて、コンタクトホールを通じてn・型ソース領域及びp型ペース領域との電気的技術を行う際に適用することができる。
[0044]また、上記実施形態ではp型ペース領域3

【図面の簡単な説明】

ベース領域3のみでもよい。

とのコンタクト用にp型領域6を形成しているが、p型

【図1】本発明にかかわる縦型パワーMOSFETの断 面図である。

【図2】図1に示す解型パワーMOSFETの製造工程 を示す図である。

F示す図である。 【図4】図3に続く縦型パワーMOSFETの製造工程

京文 图记书名。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

【図6】従来における縦型パワーMOSFETを説明するための図である。

【図7】耐圧とコンタクト抵抗率との関係を示す図であ

Tが完成する。

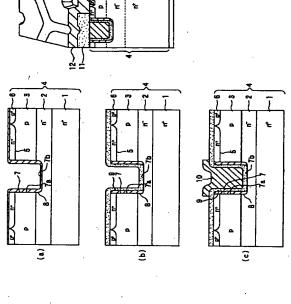
[符号の説明]

(000J) 2一系/画

[9|||3||

1…n+型半等体基板、2…n-型エビ面、3…p型ペース倒域、4…半等体基板、5…n+型ソース倒域、6 …p型関域、7…滞、8…n型半導体時間の、9…ゲート結構以、10…ゲート結構以、11…回記結構以、12 …ゾース結構、13…ドレイン組織、21…レジスト鉄、22…人1戦、23…N1度。

[M] 1] (m) 12 (m) 12 (m) 13 (m) 14 (m) 15 (m) 15 (m) 16 (m) 17 (m) 17 (m) 17 (m) 17 (m) 18 (m) 18 (m) 19 (m



(9)

ククト抵抗率の特性について関査するという実験を行った。具体的には、D型ペース領域3の電極材料としてA1、A1/T1、T1を用いた。その結果、A1の場合は、N1をオーバラップさせた場合にのみオーミック接触となり、その時のコンタクト抵抗率が10-3Q・Cm1を示した。A1/T1の場合は、N1をオーバラップさせない場合にのみオーミック接触となり、オーバラップさせない場合には非オーミック接触であった。T1の場合は、N1のオーバラップの有無に関わらず、非オーミック接触であった。

[0019] このように、第1の電極層をほぼA1のみ **耐されていても、コンタクト領域と第1の電極層とがオ** の炭化珪素半導体装置において、請求項7に記載の発明 トホール (118) を介して、少なくともペース領域に [0018] この結果より、N1をオーバラップさせる 場合にはA | を用いれば、コンタクト抵抗率を低減でき は、第1の電極層(22)はほぼA1のみで構成されて Bり、このA I の上には少なくともN I を含む第2の億 で構成すれば、AIの上にNIを含む第2の遺極層が積 **ーミック接触となるようにでき、コンタクト抵抗を低減** することができる。 請求項6に配載の発明は消ゲート型 はプレーナ型の炭化珪菜半導体装置において、コンタク 後校される第1の電極圏を備え、コンタクトホールの図 **面から韓田した位置にのみ、第1の鶴極圏が形成される** るといえる。そこで、請求項4に記載の発明において 番層(23)が積層されていることを特徴としている。 ようにしている特徴としている。

[0020] このように、ペース領域に接続される第1の組織的がコンタクトホールの傾面から離旧した位置にのみ形成されるようにすれば、ゲート組織と他の組織との短数を防止できる。翻求項 8 に記載の発明においては、第1の組織圏 (22) はほぼ 4 1 のみで構成されており、この第1の組織圏の上に第2の組織圏 (23) が独固されていることを特徴としている。

[0021] このように、第1電極層を 41で構成することにより、ソース領域に接続される N1よりなる第2の電極圏と接触してもコンタクト低抗率の増加を防ぐことができる。 たね、 船氷項9に示すように、ソース領域と半導体圏の間におけるペース領域の表面に、 炭化珪素よりなる第1 単単型の再版圏を備えた蓄積チャネルタイプの炭化珪素半導体装置に適用することもできる。

・た金属層をリフトオフさせて、第1の電極層 (22) を 形成することを特徴としている。 [0023] このように、リフトオフ法を用いることによって、コンタクト領域上にのみ第1の電極層を形成することができ、コンタクトが一ルの端部には第1の電極層を形成するだとができ、コンタクトホールの端部には第1の電極層と他の電極層を形式する工程では、第1の電極層を掲げる1のかで形成し、その後に、第1の電極圏を接するNIを含む第2の電極層を少なくともコンタクトホール内に形成する工程を行うことを特徴としている。

[0024] このように、第1の電極層をほぼA1のみで形成すれば、N1を含む第2の電極層と第1の電極圏とが接していてもコンタクト抵抗が増加することはない。具体的には、請求項13に示すように、消グート型の炭化珪素半導体装置で、請求項14に示すように、消グート型の炭化珪素半導体装置に適用することができる。なお、請求項15に示すように、ソース領域と半導体局の間におけるペース領域の表面に第14電型の半導体減級回加形成された蓄積チャネルタイプのものに適用してもよい。

[0025]なお、上記した括弧内の符号は、後述する 関略形態記載の具体的手段との対応関係を示すものであ

[0026]

(発明の実施の形態)以下、本発明を図に示す実施形態について説明する。図1に本実施形態にかかわる設化建業半導体装置としてnチャネルタイプの潜ゲート型MOSFET(以下、模型パワーMOSFETという)を示す。以下、この図に基づいてMOSFETの構造について説明する。

[0027] 低低抗なn+型半導体基板1には、六方晶 改化珪素が用いられている。このn+型半導体基板1上 には、応能抗半導体層としてのn-型エピタキシャル層 (以下、n-型工ピ層という) 2とp型ペース領域を構 改するp型層(以下、p型ペース領域という) 3が節次 閉層されている。このように、n+型半導体基板1とn 型工ビ層2とp型ペース領域3とから単結晶炭化珪葉 よりなる半導体基板4が構成されており、その上面を略 (0001-) カーボン面としている。

(0028) p型ペース領域3の投層部の所定領域には、nt型ソース領域5が形成されている。さらに、p型ペース領域3の投層部の配定領域には、低低的な型的環境が形成されている。また、nt型ソース領域5の 所定領域に滑りが形成され、この溝7はnt型ソース領域5の 所定領域に持7が形成され、この溝7はnt型ソース領域5 の 元といる。溝7は、半導体基板4の表面に略重直在側面 7 a および半導体基板4に平行な底面7 b を有している。そして、この溝7の側面7 a によって、図6に示する。そして、この溝7の側面7 a によって、図6に示す

MOSFETと同様に、溝の図面の名内角が路等しい六角形形状を構成している。

(6029) 帯7の図面7 aにおけるn・型ソース領域5とp型ペース領域3とn・型工ビ暦2の表面には、n型半導体薄膜配8が延設されている。n型半導体薄膜四8は、poの05000人程度となっている。n型半導体溶膜8の不純砂温度は、n・型半導体基度1站よびn・型ソース領域5の不純砂温度よりも低くなっている。

【0030】さらに、清7内でのn型半棒体薄膜局8の 接面と消7の底面7ちには、ゲート給験膜9が形成されている。消7内におけるゲート結験膜9の内側には、ゲート結婚的10が右近れている。ゲート電艦的10は 間間絶縁膜11にて覆われている。周間絡縁膜11に形成されたコンクトボール11aを介して、n*型ソース領域5の表面とp型領域6の表面にはソース電橋图12が形成されている。

[0031] このソース電極12は、p型領域6と接続された第1の電極配としてのA1膜22とn+型ソース 領域5と接続された第2の電極配としてのN1膜23と を有している。A1膜22は、コンタクトホール11a の内壁から所定間隔離間した位置に形成されており、層 間絶縁膜11と接しないようになっている。N1膜23 は、A1膜22とオーバラップする(接する)&うに形 成されており、層間絶縁膜11と接びないよりになっている。N1膜23

[0032] n・型半導体基板1の投面(半導体基板4の の裏面)には、第3の電極層としてのドレイン電極層1 3が形成されている。次に、図1に示す模型パワーMO SFETの製造工程を図2~図5に基づいて影明する。 (図2 (a)に示す工程)まず、主技面が略(0001 ー)カーボン面であるn・型半導体基板1を用意する。 この半導体基板1の表面にn・型工ビ層2をエピタキツ +ル成長させ、さらにn・型工ビ層2程にp型ペース領域3をエピタキシャル成長させる。

【0033】とのようにして、n+ 型半導体基板1とn-型エビ図2とp型ペース質域3とからなる半導体基板4が形成される。

(図2(b)に示す工程)次に、p型ペース館域3の投 困部の所定原域に、n⁺ 型ソース館域5を倒えば窒禁の イオン社入により形成する。さらに、p型ペース領域3 の表面部の勢の所定領域にp型領域6を例えばアルミニ ウムのイオン社入により形成する。

[0034] (図2(c)に示す工程)ドライエッチング法(R1E法)により、n¹型ソース領域5及びp型ペース領域3を共に貫通してn⁻型エビ図2に達する消でを形成する。このとき、消7の側面7aが[11-20]方向に近びるように構7を形成する。

【図3 (a) に示す工程】エピタキシャル成長法により 溝7の内壁 (傾面7 a及び底面7 b) を含めた半導体基

板4の上面にn型半導体荷膜層8を形成する。つまり、稍7の内壁におけるn+型ソース領域5、p型ペース領域5及びn-型工と配2の表面に延びるn型半導体蒋戡層8を形成する。このとき、滑頭面7 aのn型半導体蒋謨層8の不純物遺度は、n+型半導体基板1及びn+型

[0035] (図3(b)に示す工程) 熱盤化により半様体基板4及びn型半導体薄膜图8の表面と潜7の底面7bにゲート酸化膜9を形成する。このとき、ゲード酸化膜9は滑烟面7aで降く、基板表面及び滑烟面7bで厚くなり、基板4の表面上及び滑底面7b上にエピタキッ+ル成長で形成された。四半導体薄膜图8が酸化膜になる。これは六方晶炭化柱薬の酸化速度が(0001-)カーボン面で盤も早く(0001-)カーボン面に遅点な正式を引き倍であるからである。このようにして、エビ成長によるn型半導体薄膜图8からお半端体基板4の数面及び滞底面7bの半導体薄膜图8か残ることとなして滞回回7aにのみ半導体薄膜図8が残ることとな

[0036] (図3(c)に示す工程)游7内を合む、半導体基板4の上面にポリシリコン版を成版したのち、てのポリシリコン版をが一下酸化(結論) 既9の内図にのみ残し、ゲート電価圏10を形成する。

(図4 (a) に示す工程) ゲート電極的10の上面に配開始縁級11を形成する。そして、配間的縁級11の所度領域を開口させて、n¹型ソース領域5及びp型領域6と選通するコンタクトホール118を形成する。

[0037] (図4(b)に示す工程)フォトレジスト 依を用いて、コンタクトホール11a内を含む半導体基 板4の上面全面にレジスト戦21を成戦したのち、p型 領域6の上におけるレジスト戦21を除去して、p型領域6と連通する限口部21aをパターニングする。

(図4 (c) に示す工程)次に、明日郎21aを含むレジスト戦21の上面に厚さ0.1μm程度のA1膜22を蒸着する。これにより、p型領域6の上にA1膜22が配置された状態となる。

[0038] [図5(a)に示す工程] そして、レジスト膜21を除去する。これにより、A1膜22のうちレジスト膜21の上に応疎されていた部分はリフトオフされ、p型質域6の上に形成されていたもののみが残る。このように、リフトオフ括によってA1膜22のうちり型領域6の上に形成されていた部分以外を除去しているため、層間総様膜11に形成されたコンタクトホールの端部にA1膜22が残ることはない。これにより、後工程に方熱処理工程(図5(c)参照)においても、A1膜22と層間絶縁膜11とが反応することなく、ゲート低極層10とソース電橋12との短絡等の発生を防止

[0039] (図5 (b) に示す工程] 半導体基板4を 150で程度に加熱した状態で、A I 膜2 2を含む半導 3

前記層間絶縁膜の所定領域をエッチングして前記コンタ クトホールを形成する工程と、

前記コンタクトホールを含む前記層間絶縁膜上に、レジ スト版(21)を成版すると共に、抜レジスト版のうち 前記コンタクト領域上の部分を開口させる工程と、 前記別口させた部分を含む前記レジスト膜上に、A 1 を 前記レジスト版上に成版された金属層をリフトオフさせ 含む金属層を成膜したのち前記レジスト膜を除去して、 て、前記第1の電極層を形成する工程と、

前記半導体基板及び前記第1の電極層を900と以上で 熱処理をする工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方

【請求項12】 前記第1の戦極層を形成する工程の後 に、N 1 を含む第2 の電極層 (2 3) を少なくとも前起 コンタクトホール内に形成する工程を含むことを特徴と する間状項11に記載の炭化珪素半導体装置の製造方 に、高抵抗な第1 導電型の半導体圏 (2) と、第2 導電 型のペース領域(3)とを順次に積層することで炭化珪 前記ペース領域の所定領域に第1 導電型のソース領域 垛よりなる半導体基板 (4)を形成する工程と、

前記ペース領域と前記ソース領域を共に貫通し、前記半 単体圏に選する溝(7)を形成する工程と、 (5) を形成する工程と、

前記消の内壁において、少なくとも前記ソース領域と前 前記消内における前記ゲート絶縁膜の内側にゲート電極 記半導体層の間における前記ペース領域の上に、ゲート 的縁戦 (9)を形成する工程と、

圀(10)を形成する工程と、を含んでいることを特徴 とする請求項11又は12に記載の炭化珪素半導体装置

【甜水項14】 前記半導体基板上に、この半導体基板 よりも高抵抗な炭化珪素よりなる第1導電型の半導体圏 を形成する工程と、 前記半導体層の表層部の所定領域に、前記コンタクト領 前記ペース領域の表層部の所定領域に、前記ペース領域 少なくとも前記ソース領域と前記半導体層の間における 前記ペース領域の上に、ゲート絶縁膜を形成する工程 よりも浅い第1導電型のソース領域を形成する工程と、 域を含む第2 導電型のペース領域を形成する工程と、

前記ゲート絶縁膜上に前記ゲートを形成する工程と、を 含んでいることを特徴とする請求項11又は12に記載 の炭化珪素半導体装置の製造方法。

おける前記ペース領域の表面には、第1導電型の半導体 睒睒圏 (8) が形成されていることを特徴とする讃求項 【翻求項15】 前記ソース領域と前記半導体層の間に | 3 又は1 4に記載の炭化珪素半導体装置の製造方法。

[発明の詳細な説明]

斗を使用して形成される炭化珪素半導体装置及びその製 【発明の属する技術分野】本発明は、炭化珪素単結晶材 造方法に関する。

ている。この構造を図6に示す。この図に示されるMO 【従来の技術】近年、電力用トランジスタとして炭化基 **幕単結晶材料を使用して作製されるパワーMOSFET** て、高耐圧及びオン抵抗の低減の図れる構造が提案され SFETは、チャネル形成面を [111-20] と平行に 点、及びp型層3の上に不純物濃度の低いn型薄膜層8 が提案されており、特開平9-199724号公報に しており、単位セルが主表面から見ると六角形となる を形成してチャネルとしている点に特徴がある。

【0003】パワーMOSFET等では、オン抵抗低減 のため単位面積当たりのチャネル幅を大きくする様々な 工夫がなされている。具体的には、図6に示すMOSF **BTにおいては、構造上の工夫点としては、p型ペース** コンタクト部 6 をコンタクトホール中央部に配置すると 共に、その外側にn+型ソース領域を配置し、それを囲 むように各内角が略同等な六角形状のチャネルを配置す ることで、単位面積当たりのチャネル幅を効果的に増加 できるようにしている。

【0004】プロセス上の工夫点としては、ゲート電極 10とコンタクトホール猶までの距離、 p型ペースコン を図っている。さらに、図6では、p型ペース領域3の め、トランジスタのオン時にはn型薄膜層 8 の全域をチ タクト部6の径、n+型ソースコンタクト部5の径を縮 小することにより、単位面積当たりのチャネル幅の増大 ャネルとして用い、さらなるオン抵抗低減が図られてい 上に不純物濃度の低いn型薄膜層8を形成しているた

[0005]

【発明が解決しようとする課題】しかしながら、本発明 **者らのシミュレーション実験により、n型薄膜層 8 を形** 成したMOSFETは従来のn型薄膜層のないMOSF ETに比べて、耐圧のD型ペースコンタクト抵抗率依存 性が大きいことが判明した。これは、オフ時に、p型ベ ゲート電極10個から伸びる空を層とがつながることで n型薄膜層 8 が完全空乏化された状態であり、パンドの エネルギー準位が 5型ペース領域3 に比べて下がってお オフ時にドレイン13に高鶴圧が印加された場合、 D型 ペース領域3の電位が上昇し、それに伴って、完全空乏 化されているn型薄膜層8のパンドのエネルギー準位が 引き下げられることによって、チャネルがオン状態とな 一ス領域3から伸びる空乏層とゲート酸化膜9を介して o て n 型薄膜層 8 を通じて電流が流れてしまうからであ り、 P型ペース領域3のコンタクト抵抗率が大きいと、

ースコンタクト部6 との接触 (p型ペース領域3 とのコ 【0006】図7 に耐圧のp型ペースコンタクト抵抗率 **故存性の一例を示す。この図に示されるように、p型べ** ンタクト)がショットキー接触であると、耐圧が0Vと なってしまうが、D型ペースコンタクト抵抗率が10-2 3・cm²以下になると耐圧がn型薄膜層8のない場合 と同等となるのである。

電極構造を有する炭化珪素半導体装置及びその製造方法 【0007】本発明は上紀問題に鑑みて成され、 p 型層 とのコンタクト抵抗率が10-20・cm² 以下とできる を提供することを目的とする。

[8000]

【概題を解決するための手段】本発明者らは、p型ベー な電極構造及びその製造方法について検討を行った。ま ず、図6のMOSFETにおいて、コンタクトホールを 含むウェハ表面にAI/TI膜を蒸着したのち、ウェッ トエッチングにより 5型ペース領域 3上にのみA1/T | 膜を残し、さらにn+ 型ソース領域5とオーミック接 独となるNIを蒸着してから熱処理を施してコンタクト スコンタクト抵抗率が10-20·cm²以下となるよう 構造を形成した (特開平2-196421号公報参 [0009] その結果、ゲート電極10と他の電極(こ こでは、ソース電極12を示す。以下ソース電極12と いう)とが短絡するという問題と、D型ベースコンタク ト抵抗率が増大するという問題が発生することが判明し た。これらの原因を追求すべく、以下の試作・検討を行 った。第1に、ゲート電極10とソース電極12とが短 格するという問題に対して、これらの間に配置される層 間絶縁膜11の材料(酸化膜)と電極材料との反応性、 及び工程の詳細関査を実施した。

[0010] 具体的には、酸化膜の上にAI/T1、A I/NI、AI, NI等の電極材料を蒸着したあと熱処 は、酸化膜中に合金層が形成されており、磔さが1.5 umに達するものもあった。一方、Niを用いた試料に は合金層は見られなかった。このため、AIが酸化膜と 接触していると熱処理時に合金層が形成され、短路が発 理(1000℃、10分:電極材料と炭化珪業とのオー の後の牴極材料と敵化膜との界面の状態を調査した。そ ミックコンタクトをとるための熱処理条件)を施し、 の結果、AI及びAIを含む電極材料を用いた試料で 生すると考えられる。

【0011】そして、製造工程について調査を行ったと ころ、AI/TI膜を蒸着した後に実施されるウェット TIが残っていることが判明した。つまり、コンタクト め、ロ型ベース領域上に電極部を残す際の露光条件では コンタクトホールの歯部にレジストが残ってしまうので **凹部の端部でレジスト膜厚が他の部分よりも厚くなるた** エッチングにおいて、コンタクトホールの緒部にA 1、 ホール等の凹凸のある試料にレジストを整布した場合、

に残ったAI/TIと酸化膜との反応によって形成され 0とソース電極12との短絡は、コンタクトホール端部 た合金層によってゲート電極10とソース電極12とが 接続されてしまったり、合金層形成による広力で酸化膜 にクラックが発生してゲート電極10とソース電極12 (11) から臨間した位置にのみ形成されていることを 【0012】これらの事象をまとめると、ゲート電極1 【0013】そこで、請求項1に記載の発明において は、A1を含む第1の電極層(22)は、層間絶縁膜 とが接続してしまったりすることで生じるといえる。

が、層間複数膜から鎌間した位置にのみ形成されていれ **特徴としている。このように、A1を含む第1の電極層** ば、AIと履間絶録膜が反応することがないため、ゲー ト電極層(8)と第1の電極(12)との短絡を防止す ることができる。

【0014】具体的には、請求項2に示すように、層間 絶縁膜に形成されたコンタクトホールの側面に第1の電 **極層が接触しないようにすればよい。なお、請求項3に** 示すように、半導体基板がp型である場合には、p型半 **単体との電気的接続のために第1の電極層としてA1を** 含むもので構成するため、このような場合に有効であ [0015] 一方、第2に、p型ペースコンタクト抵抗 **卑が増大するという問題に対して、p型ペース領域3と** のコンタクトに用いられるAI/TI電極の抵抗率(p 型ソース領域 5 とオーミック接触となるNI 電極をオー も接する場合をオーバラップさせた場合としている。そ せた場合の方が、オーパラップさせない場合に比してp バラップさせる場合とさせない場合で変化するか比較し た。なお、ここではAI/TI電極にNI電極が一部で の結果、AI/TI電極とNI電極とをオーバラップさ 型ペースコンタクト抵抗率)が、AI/TI電極にn+ 型ペースコンタクト抵抗率が増大した。

ト抵抗率の増大を防止でき、p型ペース領域3の電極材 料として上記コンタクト抵抗率を徴足するものであれば させる場合において、コンタクト抵抗率の低減を図らな ーパラップさせないようにすれば、p型ペースコンタク ら、一部でもオーパラップすればコンタクト抵抗率が増 域5の電極材料のパターニング時におけるそれぞれのア ルサイズを増大させるという問題を発生させてしまうた め、p型ペース領域3の電極材料にN1をオーパラップ 【0016】従って、A1/T1電極とN1電極とをオ 大してしまうため、p型ベース領域3やn+ 型ソース領 いずれの材料を使用してもよいといえる。しかしなが ライメントずれを考慮した設計としなければならず、 ければならない。 【0017】このため、p型ペース領域3の電極材料と n+型ソース領域5の電径材料であるNIとをオーパラ ップさせて、p型ペース質域3の電極材料におけるコン (7)

3 Ħ

				l						
			3	躗						鼠
		2		, **	9			•		6
1	8	₩ 8	8	デ-C3-1・(参考)	4M104					₩
K	Ī	-128	Я14В	1						0
ここれが日東公司申り	特開2000-12846	(P2000-12846A)	(43)公開日 平成12年1月14日(2000,1.14)	,	652L	301F		652T	6 5 3 A	審空請求 未請求 請求項の数15 OL (全 9 頁)
										羅
			(43)公司		/18	82/	91/62	29/78		米羅米
5					क्ष	2	83	83		长
ž					7					變
4				FI	H01L 29/78					*
L										
14. 女用女子女子										
R										
1										
(31)				(1) (1) (1) (1)		301				
-										
ز	•				80	23	9			
					29/78	21/28	29/18			

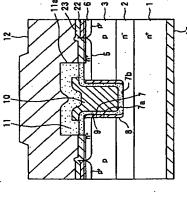
(51) Int.CL. H01L

(21) 田野神本	特賦半10-175050	(71) 出風人 000004260	000004260	
	,		林式会社デンシー	
(22) 出版日	平成10年6月22日(1998.6.22)		·秦知県河谷市昭和町1丁目1番地	
		(72)発明者	竹内 有一	
			最知误必令市阳和町1丁目144地 株式	五
			弁アンシーを	
		(72)発明者	11	
			景知県均谷市昭和町1丁目1条地 株式	茶
			弁アンンー本	
		(74)代理人	(74)代理人 100100022	
			井理士 伊藤 祥二 (外1名)	
		F4-4(Fターム(野寺) 4M104 AA01 BB02 BB05 BB14 CC01	Ħ
			DD34 EED3 FF22 CC09	

故化珪素半導体装置及びその製造方法 (24) [発展の名称]

//短絡することを防止すると共に、コンタクト領域との 四間絶縁戦を通じてゲート電極と他の電極と コンタクト抵抗を低減できるようにする。 (政策)

級されるNI膜23とAI膜22がオーバラップしても 【解決手段】 コンタクトホール11aを介して、p型 **訂岐6 (p型ペース領域3)に接続される電極をA1膜** 一ト電極層8とソース電極12が短絡してしまわないよ 膜22で構成することにより、n+型ソース領域5に接 22で構成し、このA1版22をコンタクトホール11 り、AIが囮間絶縁戦11と反応するのを防止でき、ゲ A 1 膜22と p 型質域 6 とがオーミック接触するように できる。これにより、コンタクト領域とのコンタクト抵 うにできる。また、p型領域6と接続される電極をAl aの回面から離出した位因にのみ形成する。 これによ 抗を低減できる。



(特許額次の範囲)

【請求項1】 炭化珪素からなり、所定位置にコンタク ト領域 (6) が形成された半導体基板 (1) と、

前記半導体基板の上にゲート絶縁膜(9)を介して形成 **前記コンタクト傾域に迅通するコンタクトホール(11 前記ゲート電極層を覆うように形成されていると共に、** B)を備えたシリコン酸化膜よりなる層間絶縁膜 (1 されたゲート電極層 (10)と、

前記コンタクト領域とオーミック接触となるAIを含む 第1の電極層(22)と、を有する炭化珪素半導体装置

前記第1の電極層は、前記層間絶錄膜から離間した位置 にのみ形成されていることを特徴とする炭化珪紫半導体 [請求項2] 前記第1の電極層は、前記コンタクトホ ールの図面に接触しないように形成されていることを特 数とする請求項1に記載の炭化珪素半導体装置。

栎

쌼

【請求項3】 前記コンタクト領域は、p型半導体で構 きれており、このA 1の上にはN 1を含む第2の電極層 前記第1の電極船はほぼA1のみで構成 が積層されていることを特徴とする請求項3に記載の設 **式されていることを特徴とする以化珪素半導体装置。** 【請求項4】

【請求項5】 前記第1の電極層はほぼA1のみで構成 **节配コンタクトホール内の前配コンタクト領域上、及び** されており、

化驻索半導体装置

前記第1の電極層上には、N1を含む第2の電極層が積 **蛩されていることを特徴とする間求項3に記載の炭化珪** 【請求項6】 低低抗な第1導電型の基板(1)の表面 **電型のペース領域 (3) とが順次に積層された単結晶炭** 別に、高抵抗な第1導電型の半導体圏(2)と、第2導 化珪素よりなる半導体基板(4)と、

前記半導体層の所定領域に形成された第1 導電型のソー 前配ペース領域と前記ソース領域を共に質通し、前記半

前記消内における前記ゲート絶録膜の内側に形成された 前配消の内壁に形成されたゲート絶縁膜 (9) と、 **幕体層に達する溝(7)と、** ゲート転極路 (10) と、

前配ペース領域及び前配ソース領域に運通するコンタク **部的コンタクトホールを介して、少なくとも前部ペース 並記コンタクトホールを介して、少なくとも前記ソース** 領域に接続されたAIを含む第1の電極層(22)と、 前記半導体基板の裏面に形成された第3の電極層 (1 ・ホール(11a)を備えた園間絶縁膜(11)と、 前記半導体領域及び前記ゲート電極層上に形成され、

前記第1の電極層が形成されていることを特徴とする炭 **が記コンタクトホールの倒面から離間した位置にのみ** 化珪紫半導体装置

前記半導体基板の主表面上に形成され、前配半導体基板 よりも高抵抗な炭化珪素よりなる第1導電型の半導体圏 【請求項7】 主表面及び主表面の反対側である裏面を 有し、 炭化珪素よりなる第1導電型の半導体基板と、

前記半導体圏の表層部の所定領域に形成され、所定磔さ 哲的ペース領域の表園部の所定領域に形成され、様ペー 前記ソース領域と前記半導体層の間における前記ペース ス領域の磔さよりも浅い第1 導電型のソース領域と、 を有する第2導電型のp型のペース質域と、 領域の上に形成されたゲート絶縁膜と、

前記半導体基板の裏面に形成された第3の電極層とを備 前記ゲート電極圏を覆うように形成され、所定位置にコ **兯配コンタクトホールを介して、少なくみも煎配ペース 11記コンタクトホールを介して、少なくとも前記ソース** 前配ゲート絶縁膜上に形成されたゲート電極層と、 頃域に接続されたNIを含む第2の電極層と、 類域に接続されたA 1を含む第1の電極層と ンタクトホールが形成された層間絶縁膜と、

前記第1の電極層が形成されていることを特徴とする炭 前記コンタクトホールの側面から離間した位置にのみ 化珪紫半導体装置。

前記第1の包括図上には、前記第2の包 極層が積層されていることを特徴とする間求項6又は7 に記載の炭化珪素半導体装置。 [替次項8]

ける前記ペース領域の表面に、炭化珪素よりなる第1導 **電型の半導体荷膜層(8)が備えられていることを特徴** 前配ソース領域と前配半導体層の間にお とする簡求項6乃至8のいずれか1つに記載の炭化珪素 【甜水項9】 半導体装置

【請求項10】 前配ペース領域と、前記第1の電極層 とを特徴とする請求項6乃至8のいずれか1つに配載の とのコンタクト抵抗率が10-10・cm! 以下であるこ **荧化珪素半導体装置。**

【請求項11】 炭化珪素からなり、所定位置にコンタ 前記半導体基板上に形成されたゲート電極層 (10) クト領域(6)が備えられた半導体基板(4)と、

前記ゲート電極層を覆うように形成され、所定位置にコ ンタクトホール (11a) が形成された配間絶縁膜 (1

前記コンタクトホールを介して前記コンタクト領域と接

続されるAlを含む第1の電極層(22)とを値えた半

前記ゲート電極を含む、前記半導体基板上に前記層間絶 単体装置の製造方法であって、 保膜を形成する工程と、

			.,	And and all and
ed beansybA	Juick/Mumber Boolean	Search: C	My Account Products	
NSIDE DEFI	l ş	Р ВОDUCТ3	. КЕЗЕРВСИ	DELPHION
				NOSMOHT

ne perprior integrated view

ī 🖂		View: Jump to: Top
V wen este new V	Tools: Add to Work I	Get Now: V PDE More choices

MANUFACTURE THEREOF JP2000012846A2: SILICON CARBIDE SEMICONDUCTOR DEVICE @Title:

& Conutry: JP Japan

A2 Document Laid open to Public inspection i %Kind:

ENDO TAKESHI; TAKEUCHI YUICHI; % Inventor:

:99ngissA & **DEN2O COKЬ**

News, Profiles, Stocks and More about this company

ZZ-90-8661 / ***I-10-000Z** Published / Filed:

0202710008ee19L

&IPC Code: Number:

401 29/78; HO1L 21/28, HO1L 29/16

Priority Number:

*Abstract:

Application 장

1998-06-22 JP1998000175050

interlayer insulating film and also to reduce the contact resistance a gate electrode and other electrodes from being caused through an PROBLEM TO BE SOLVED; To prevent short-circuiting between

with a contact region.

region can be reduced. overlaps the film 22. Thereby, the contact resistance with a contact an Ni film 23, which is connected with an n+ source region 5, contact of the film 22 with the region 6 can be made even through connected with the region 6 is constituted of the film 22, an ohmic cannot be caused through. Moreover, since the electrode which is circuit between a gate electrode layer 8 and a source electrode 12 from reacting with an interlayer insulating film 11 and the short from the side surface of the hole 11a. Thereby, Al can be prevented Al film 22, and this film 22 is formed only at a position separated (a p-type base region 3) via a contact hole 11a, is constituted of an SOLUTION: An electrode, which is connected with a p+ region 6

Get Now: Family Legal Status Report ОЧС,0005(Э) :ТНЭІЯҮЧОЭ

Legal Status: Mone **&INPADOC**

% Family:

	amily members sho	12		
SILICON CARBIDE SEMICONDUCAND MANUFACTURE THEREOF	ZZ-90-8661	\$1-10-000Z	2A34821009L	M
SILICON CARBIDE SEMICONDUCAND MANUFACTURE THEREOF	22-90-8661	\$1-10-000Z	SA348S1000029L	Ø
əliT	Filed	Pub. Date	Publication Publication	PDF

None **\$Other Abstract**

:ojuI

BEST AVAILABLE COPY

71/20/40